



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

00830735.7

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**THIS PAGE BLANK (USPTO)**



Anmeldung Nr:  
Application no.: 00830735.7  
Demande no:

Anmeldetag:  
Date of filing: 07.11.00  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

/00.00.00/

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G06F17/00

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR

**THIS PAGE BLANK (USPTO)**

"Procedimento e sistema per la stima del consumo di potenza di circuiti digitali e relativo prodotto informatico"

\* \* \*

5        Campo dell'invenzione

La presente invenzione si riferisce alla stima del consumo di potenza dei circuiti digitali, in particolare dei circuiti descritti a livello RTL (Register Transfer Level) o gate-level.

10       Descrizione della tecnica nota

La stima di potenza di circuiti descritti a livello Register Transfer o gate-level prevede di solito la simulazione software del progetto in differenti contesti; tale simulazione risulta  
15 estremamente onerosa in termini di tempo di esecuzione ed inoltre deve essere ripetuta un numero il più possibile grande di volte per ottenere stime significative.

Per una generale rassegna in argomento si possono  
20 utilmente consultare i testi Synopsys "Power Products References manual" - V2000.5; SENTE' "Watt Watcher Tutorial" ed il lavoro di Hsu, Shen, Lin, "A Mixed-Level Power Estimator for CMOS Circuits Using Pattern Compaction Techniques", proc. of APPCAS'98.

25 I circuiti VLSI della generazione corrente possono raggiungere dimensioni di alcuni milioni di porte (gate). Questo comporta un grande utilizzo di risorse per la verifica del design.

Le metodologie di verifica in uso contemplano la  
30 simulazione di una o più rappresentazioni del circuito per verificarne la correttezza sotto diversi aspetti, due dei quali sono la funzionalità e la stima del consumo di potenza.

Le rappresentazioni del circuito possono essere a  
35 diversi livelli di astrazione.

Le rappresentazioni a livello di astrazione elevato presentano l'inconveniente fondamentale dato dal loro modesto dettaglio intrinseco.

5 Più basso è il livello di astrazione e più la simulazione è onerosa (in termini di CPU, memoria, tempo, ...) a causa della maggiore informazione che deve essere trattata per conseguire il maggior dettaglio.

10 Le descrizioni RTL e gate-level a cui si è già fatto riferimento in precedenza costituiscono rappresentazioni di uso più corrente: la prima è ad un livello di astrazione più elevato della seconda. Per la verifica di un design, il punto di partenza è normalmente quello in cui è necessario (o quantomeno  
15 auspicabile) eseguire una simulazione funzionale della netlist, in particolare a livello di gate.

Questa soluzione porta però ad eccedere le risorse a disposizione in termini di capacità del simulatore (memoria, CPU, tempo, etc.), sino a rendere la  
20 situazione rapidamente insostenibile quando (così come accade sempre più spesso) si rende necessaria un'analisi del consumo di potenza.

La ragione risiede nel fatto che, ancor più della verifica funzionale, il consumo di potenza è  
25 strettamente legato al contesto nel quale il circuito opera.

Un esempio significativo è dato da un microprocessore impegnato ad eseguire diversi programmi: lo stesso hardware può presentare  
30 comportamenti estremamente diversi dal punto di vista del consumo (basti pensare a stati di standby o di computazione massiva) con valori differenti anche di ordini di grandezza.

L'unico modo di ottenere stime accettabili è  
35 quello di simulare le diverse condizioni operative a

livello di astrazione più basso possibile. Ovviamente, essendo le dimensioni dei circuiti tali da non consentire simulazioni a livello di transistor, si deve affrontare il problema a livello RT o a livello gate.

5 Attualmente, la stima del consumo di potenza di circuiti digitali basata su simulazione si articola in due passi:

- estrazione di informazioni sull'attività di commutazione del circuito, ovvero sul numero di  
10 commutazioni fra stato logico alto e stato logico basso delle uscite delle porte che compongono il circuito, e
- stima del consumo di potenza tramite software dedicato a partire dalle informazioni di cui al punto precedente.

15 Nella sostanza, la tecnica di estrazione consiste nell'aggiungere (tramite linking) al simulatore una serie di procedure (ossia funzioni software) che, durante la simulazione (a livello RT o gate), accedono ai dati ed eventualmente li elaborano ed archiviano in  
20 un formato utilizzabile dallo stimatore.

Ciò viene fatto tramite la PLI (acronimo per Program Language Interface) dei simulatori commerciali, oppure tramite programmi di conversione delle forme d'onda tracciate in file contenenti l'attività di  
25 commutazione.

Questo modo di procedere introduce però un ulteriore onere per il simulatore, in particolare quando si opera a livello gate (che è l'unico in grado di garantire accuratezza soddisfacente in termini  
30 assoluti).

Dunque, anche potendo disporre di soluzioni potenzialmente in grado di realizzare la simulazione di circuiti suscettibili di essere costituiti anche da svariati milioni di gate, i tempi di simulazione

software necessari per completare tale stima eccedono spesso i tempi di vita del design stesso.

Scopi e sintesi della presente invenzione

La presente invenzione si prefigge pertanto lo  
5 scopo di fornire una soluzione per la stima del consumo di potenza di circuiti digitali (quali ad esempio circuiti descritti a livello RT o gate) in grado di superare gli inconvenienti delineati in precedenza.

Secondo la presente invenzione, tale scopo viene  
10 raggiunto grazie ad un procedimento avente le caratteristiche richiamate in modo specifico nelle rivendicazioni che seguono.

L'invenzione è suscettibile di essere messa in  
atto tanto sotto forma di procedimento o metodica,  
15 quanto sotto forma di un corrispondente sistema.

Quest'ultimo può essere vantaggiosamente  
configurato sia sotto forma di un'unità elaborativa di  
tipo dedicato (ad esempio un processore o un  
microprocessore) associata direttamente all'emulatore,  
20 sia sotto forma di un elaboratore digitale general purpose che, adeguatamente programmato, realizza il suddetto procedimento.

L'invenzione si riferisce pertanto anche al  
relativo prodotto informatico, disponibile su un  
25 supporto, quale un disco o un altro tipo di memoria e/o "scaricabile" da una rete telematica che, caricato e fatto girare su un tale elaboratore, consente di attuare il procedimento secondo l'invenzione.

La soluzione secondo l'invenzione realizza  
30 modifiche automatiche al design che non ne alterano la funzionalità originale (tantomeno ai morsetti), ma che, tramite l'aggiunta di hardware emulato, consentono di monitorare in-situ il comportamento (in pratica l'uscita) di ogni porta logica in ogni istante di  
35 tempo.



I dati raccolti (in tempo reale) vengono memorizzati per un'eventuale post-elaborazione.

In particolare, la soluzione secondo l'invenzione non dà origine ad una specifica modalità di prova o  
5 test, il che significa che il circuito non abbisogna di un particolare insieme di stimoli o di una particolare configurazione.

In sostanza, la soluzione secondo l'invenzione si basa sull'utilizzo di emulatori hardware (che  
10 consentono un notevole aumento di prestazioni, anche di diversi ordini di grandezza) nei quali il design è mappato modificando le celle di libreria che compongono le netlist al fine di acquisire durante l'emulazione le informazioni sufficienti per la stima del consumo di  
15 potenza. Le maggiori prestazioni degli emulatori permettono fra l'altro di effettuare un gran numero di simulazioni del medesimo circuito nelle più diverse condizioni.

Al riguardo, va notato che gli emulatori al  
20 momento disponibili (si veda ad esempio il testo Celaro User's and Reference Manuals - Version 2.3\_2, February 2000) non prevedono l'estrazione di informazione sull'attività di commutazione del circuito, ovvero sul numero di commutazioni fra stato logico alto e stato  
25 logico basso delle reti che compongono il circuito stesso.

La soluzione secondo l'invenzione introduce pertanto un metodo alternativo rispetto a quelli sinora noti per ricavare le informazioni necessarie alla stima  
30 di potenza, coinvolgendo l'uso di un emulatore.

Tale soluzione realizza modifiche automatiche al design che risultano del tutto trasparenti all'utente, consentendo di raccogliere (in tempo reale) dati sufficienti per eseguire una stima affidabile e  
35 completa del consumo di potenza.

Breve descrizione dei disegni annessi

L'invenzione verrà ora descritta, a puro titolo di esempio non limitativo, con riferimento ai disegni annessi, nei quali:

5       - la figura 1 illustra una generica porta logica di un circuito a cui è possibile applicare la soluzione secondo l'invenzione, e

         - la figura 2 illustra la possibile applicazione della soluzione secondo l'invenzione alla porta logica  
10       rappresentata nella figura 1.

Descrizione particolareggiata di un esempio di attuazione preferito dell'invenzione

Nel seguito verranno illustrati in dettaglio i principi posti alla base della soluzione secondo  
15       l'invenzione.

Per chiarezza si farà riferimento a simulazioni a livello gate, ma i concetti sono applicabili in modo indifferente anche a livello RT o superiore. Ne consegue quindi che la portata della presente  
20       invenzione non deve essere in alcun modo considerata limitata ai circuiti digitali descritti a livello RT o a livello gate.

Nella figura 1 il riferimento G indica una qualsiasi cella di un circuito digitale descritto, ad  
25       esempio, a livello gate.

In termini generali, la cella G presenta un certo numero di ingressi a, b, c (che possono essere in numero qualsiasi, da 1 a n).

In funzione dei valori assunti nel tempo da tali  
30       ingressi la cella G realizza una certa attività di commutazione sulla sua uscita x.

Le informazioni necessarie per poter stimare il consumo di potenza (ovverosia quelle da passare ad uno stimatore) sono:

- un intervallo di tempo (eventualmente coincidente con l'intera durata della simulazione) sul quale effettuare la stima,

5       - per ogni nodo della netlist, il numero di transizioni eseguite durante tale intervallo di tempo: tale valore è in genere indicato come *toggle count*, e

10       - per ogni nodo della netlist, la frazione di tempo in cui lo stato è stabile (1 o 0 logico) all'interno dell'intervallo definito in precedenza: tale valore, esprimibile percentualmente, è indicato come probabilità statica.

Nella forma di attuazione al momento preferita, l'invenzione si basa essenzialmente sulla soluzione illustrata nella figura 2, e prevede di associare ad  
15 ogni cella di libreria (standard) che compone il design un elemento (un blocco RTL o gate) in grado di eseguire la seconda e la terza operazione descritte in precedenza, ossia la rilevazione del numero di transizioni eseguite durante l'intervallo di tempo di  
20 stima e la frazione di tempo in cui lo stato è stabile all'interno del suddetto intervallo.

In particolare, l'associazione può essere realizzata in corrispondenza di un pin di uscita della cella G, come nel caso dell'esempio qui illustrato.  
25 L'associazione può avvenire (anche o in alternativa) in corrispondenza di altri pin.

In ogni caso, la combinazione formata da tale nuovo blocco, indicato con B, con la cella originale G può essere semplicemente vista come una nuova cella  
30 avente gli stessi ingressi (a, b e c) e le stesse uscite (x) della cella precedente, che risulta funzionalmente equivalente (ai morsetti esterni) alla cella originale.

La cella risultante (cella originale G + blocco B)  
35 può infine essere inclusa in una libreria da usarsi in

fase di compilazione al pari delle celle originali. Tale libreria viene generata in modo semi-automatico solamente una volta e può essere riutilizzata per qualunque design mappato sulla stessa libreria logica.

5 L'acquisizione dei dati può essere controllata da eventi hardware monitorati da analizzatori logici attivi sull'emulatore, che abilitano e disabilitano l'elaborazione dei dati a fronte di particolari eventi. Ciò permette, per esempio, di stimare la potenza  
10 soltanto nell'esecuzione di una particolare porzione di codice eseguito da un micro-controllore, monitorando l'Instruction Pointer Register.

Tutto ciò avviene secondo criteri di per sé noti, correntemente adottati negli emulatori di impiego  
15 corrente (si faccia riferimento, a titolo di esempio, al documento sull'emulazione citato in precedenza), il che rende una descrizione particolareggiata di tale modalità del tutto superflua in questa sede.

Poiché la prerogativa degli emulatori è quella di  
20 eseguire la simulazione alla velocità permessa dall'hardware, l'introduzione di blocchi quale il blocco indicato con B nella figura 2 non comporta un aggravio significativo dei tempi di emulazione stessi.

La maggiore complessità della nuova cella ha in  
25 effetti un'influenza sulla capacità dell'emulatore, in quanto riduce di fatto il massimo numero di gate che possono essere emulati (tale limitazione è dovuta alla capacità fisica dell'emulatore stesso). Ciò peraltro non rappresenta un vincolo troppo stringente in quanto  
30 non vi è necessità di estrarre tutte le informazioni nella stessa simulazione.

Si può infatti utilizzare una qualunque tecnica di ripartizione (partitioning) per selezionare gruppi di celle omogenei oppure blocchi gerarchici del design  
35 durante l'elaborazione.

Il notevole rapporto fra la velocità di un emulatore e quella di un tipico simulatore (diversi ordini di grandezza) lascia ampi margini per sfruttare simulazioni multiple.

5        Uno dei vantaggi principali offerti della soluzione proposta rispetto alle soluzioni software tradizionali risiede nell'applicabilità a circuiti di dimensioni arbitrarie da simularsi per una sequenza di ingressi arbitrari, con il conseguimento di notevoli  
10 vantaggi anche a livello di semplicità di implementazione (libreria di celle da creare una sola volta) e nella trasparenza all'utente finale.

Durante l'emulazione è necessario accedere all'informazione memorizzata nei blocchi B aggiunti  
15 alle celle di libreria. Tale accesso può essere realizzato con linguaggi proprietari degli emulatori che permettono di ispezionare il valore di net e registri a run-time o tramite PLI.

Questa informazione può essere salvata e post-elaborata per permetterne la lettura da parte dei  
20 software che eseguono a posteriori la stima di potenza.

I criteri di svolgimento di tale stima di potenza sono da ritenersi noti nella tecnica (sono disponibili diversi software commerciali che realizzano tale  
25 funzione) e non richiedono pertanto di essere descritti in dettaglio in questa sede, anche perché tali criteri non costituiscono - di per sé - materia della presente invenzione.

La soluzione secondo l'invenzione consente di  
30 affrontare la stima di potenza anche in casi non trattabili tramite simulazione software.

Tale soluzione è facilmente generalizzabile a tutte le trasformazioni pensabili per una cella di libreria tramite l'aggiunta di un blocco hardware che

realizza una certa funzionalità basata sul monitoraggio delle uscite (o degli ingressi) della cella originale.

Un blocco hardware aggiuntivo quale il blocco B non modifica la funzionalità della cella stessa nei  
5 confronti del design emulato, ma permette di estrarre nuove informazioni da una simulazione, l'unico requisito essendo quello di realizzare in hardware la funzione voluta.

Nel caso in questione si tratta di un conteggio  
10 ragionato di eventi memorizzato sui registri cui è possibile accedere a run-time, ma sono pensabili diverse altre applicazioni della stessa metodologia.

In particolare, la soluzione secondo l'invenzione consente di realizzare la stima di potenza nei circuiti  
15 digitali descritti a livello RT o gate (ma, come si è visto, anche a livelli diversi), prevedendo una soluzione in cui le trasformazioni necessarie per il design sono automatiche e non hanno un'influenza sulla funzionalità del design.

20 L'informazione estratta è memorizzabile a run-time ed è sufficiente per la stima di potenza realizzata con software commerciali.

Naturalmente, fermo restando il principio dell'invenzione, i particolari di realizzazione e le  
25 forme di attuazione potranno essere ampiamente variati rispetto a quanto descritto ed illustrato, senza per questo uscire dall'ambito della presente invenzione, così come definita dalle rivendicazioni annesse.

# RIVENDICAZIONI

1. Procedimento per stimare il consumo di potenza su un intervallo di tempo dato di circuiti digitali descritti a livello di elementi funzionali simulati (G) provvisti di terminali di ingresso/uscita (a, b, c; x), caratterizzato dal fatto che comprende le operazioni di:
- emulare, a livello hardware, elementi addizionali (B) associati a detti elementi funzionali (G); detti elementi addizionali emulati (B) essendo suscettibili di rilevare, durante l'emulazione del circuito, almeno un segnale indicativo del comportamento, e dunque del consumo di potenza, del relativo elemento funzionale (G) associato durante detto intervallo di tempo, e
  - acquisire il valore di detto almeno un segnale, detto valore essendo indicativo del consumo di potenza di detto elemento funzionale associato (G) in detto intervallo di tempo dato.
2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che detti elementi addizionali (B) vengono emulati associandoli ad un'uscita (x) del rispettivo elemento funzionale (B).
3. Procedimento secondo la rivendicazione 1 o la rivendicazione 2, caratterizzato dal fatto che detti elementi addizionali emulati (B) sono suscettibili di rilevare, durante detto intervallo di tempo dato:
- il numero di transizioni (*toggle count*) eseguite dal relativo elemento funzionale (G) associato, e
  - la frazione di tempo in cui lo stato del relativo elemento funzionale associato (G) è stabile, il valore di detto numero di transizioni e di detta frazione di tempo essendo indicativi del consumo di potenza di detto elemento funzionale (G) durante detto intervallo di tempo.

4. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che comprende l'operazione di controllare l'acquisizione di detto almeno un segnale tramite eventi hardware  
5 monitorati da analizzatori logici attivi sull'emulatore.

5. Procedimento secondo una qualsiasi delle precedenti rivendicazioni, caratterizzato dal fatto che comprende l'operazione di accedere all'informazione  
10 memorizzata in detti elementi addizionali emulati (B) e l'operazione di memorizzare tale informazione in vista di una successiva elaborazione.

6. Sistema elaborativo configurato per l'attuazione del procedimento secondo una qualsiasi  
15 delle rivendicazioni 1 a 5.

7. Prodotto informatico direttamente caricabile nella memoria interna di un elaboratore digitale, comprendente porzioni di codice di programma per attuare le operazioni secondo una qualsiasi delle  
20 rivendicazioni 1 a 5 quando detto prodotto informatico viene fatto girare su un elaboratore.



# RIASSUNTO

Per stimare il consumo di potenza su un intervallo di tempo dato di circuiti digitali descritti a livello di elementi funzionali (G) provvisti di terminali di ingresso/uscita (a, b, c; x) si emulano, a livello hardware, elementi addizionali (B) associati. Tali elementi addizionali emulati sono suscettibili di rilevare, durante detto intervallo di tempo, almeno un segnale indicativo del comportamento dell'elemento funzionale (G) associato durante l'emulazione hardware del circuito. Di preferenza, viene rilevato il numero di transizioni eseguite durante il suddetto intervallo di tempo dell'elemento funzionale associato (G) nonché la frazione di tempo in cui lo stato di tale elemento funzionale (G) è stabile (1 o 0). Il valore di tali segnali viene acquisito per realizzare una stima del consumo di potenza dell'elemento funzionale (G) durante il suddetto intervallo di tempo.

(Figura 2)

**THIS PAGE BLANK (USPTO)**

Fig. 1

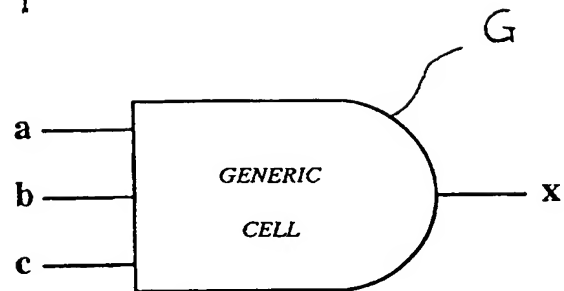
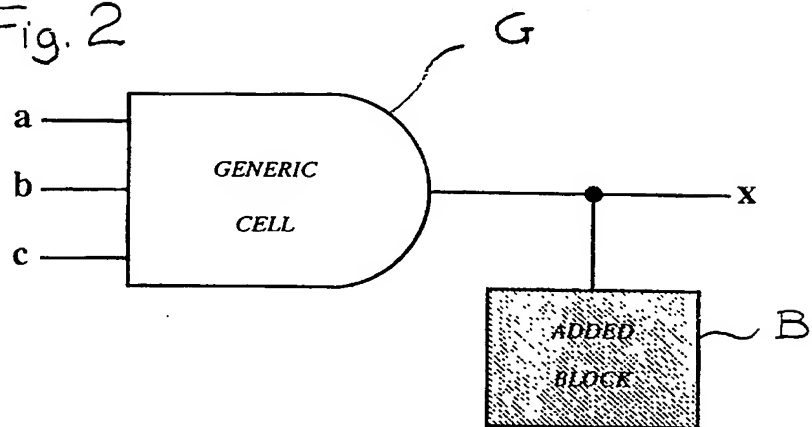


Fig. 2



**THIS PAGE BLANK (USPTO)**